

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-269822  
(43)Date of publication of application : 08.11.1988

(51)Int.Cl.

H03K 5/26  
H03L 7/08

(21)Application number : 62-106030  
(22)Date of filing : 28.04.1987

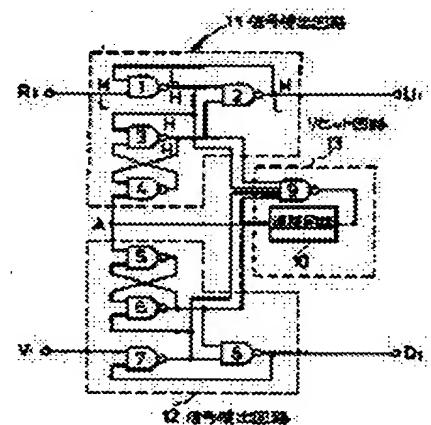
(71)Applicant : JAPAN RADIO CO LTD  
(72)Inventor : YAMASHITA KAZUO

## (54) PHASE DETECTION CIRCUIT

### (57)Abstract:

PURPOSE: To obtain a phase detecting characteristic without having a blind sector and with superior linearity, by providing a delay circuit to be connected to the common reset terminal of two signal detection circuits in a reset circuit which generates a reset signal.

CONSTITUTION: When an input signal R1 is set at an L level, a signal is detected by setting both outputs of NAND gates 1 and 3 at H levels. Also, when an input signal V1, changes from the H level to the L level, the signal is detected by setting both outputs of NAND gates 6 and 7 at the H levels. Thus, since the both outputs of the NAND gates 1 and 3, and 6 and 7 go to the H levels by the arrival of two signals with the L levels, the output of the NAND gate 9 of the reset circuit 13 changes to the L level, and it is inputted to the delay circuit 10. And a reset operation can be performed by delaying it at the circuit 10 and adding it on the NAND gates 4 and 5 via the common reset terminal A of the signal detection circuits 11 and 12. In such a way, it is possible to obtain the phase detecting characteristic without having the blind sector and with the superior linearity.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 特許公報 (B2)

平4-34329

⑬ Int. Cl. 5

H 03 K 5/26

識別記号

府内整理番号

P 7125-5J

⑭ 公告 平成4年(1992)6月5日

発明の数 1 (全4頁)

## ⑮ 発明の名称 位相検波回路

⑯ 特願 昭62-106030

⑯ 公開 昭63-269822

⑯ 出願 昭62(1987)4月28日

⑯ 昭63(1988)11月8日

⑰ 発明者 山下 和郎 東京都三鷹市下連雀5丁目1番1号 日本無線株式会社内

⑰ 出願人 日本無線株式会社 東京都三鷹市下連雀5丁目1番1号

審査官 浅見 保男

1

2

## ⑯ 特許請求の範囲

1 信号の到来を検出し出力する2つの信号検出回路と、該2つの信号検出回路の両者への信号の到来を受けてリセット信号を発生するリセット回路とを有し、前記2つの信号検出回路を共にリセットして繰り返し2つの信号の到来を検出するように構成した位相検出回路に於て、前記リセット回路に前記2つの信号検出回路の共通リセット端子へ接続する遅延回路を設け、該遅延回路を経たリセット信号により、前記2つの信号検出回路の出力を共に十分飽和レベルに達するようにしたことを特徴とする位相検波回路。

## 発明の詳細な説明

## (産業上の利用分野)

本発明はPLL制御に用いる2信号間の位相差を検出する位相検波回路に関する。

## (従来の技術)

従来この種の回路は第5図のように2つの信号検出回路16, 17と、リセット回路18とから構成されており、2つの信号R<sub>1</sub>とV<sub>1</sub>が到来したことを検出したリセット信号(NANDゲート9の出力信号)を、2つの信号到来検出出力にそれぞれゲート合成(NANDゲート2及び8に加える)して位相検波出力U<sub>1</sub>, D<sub>1</sub>を出力していた。

## (発明が解決しようとする問題点)

しかしそのような構成に於ては、先に信号が到来した側の出力にのみ検出信号が現われ、同時に到来した場合は何れにも検出信号が現われない。

第2図aは従来回路の入力信号R<sub>1</sub>, V<sub>1</sub>、

NANDゲート9の出力信号及び出力信号U<sub>1</sub>, D<sub>1</sub>の波形について例示したものである。同図に於て、入力信号R<sub>1</sub>が点線の如く入力信号V<sub>1</sub>より僅かに早いときは、出力信号U<sub>1</sub>は点線の如く出力するが、同時に到来するときは実線の如く出力信号U<sub>1</sub>, D<sub>1</sub>は出力しない。

従つて、2つのパルスの積分差を位相検波出力とする位相検波特性は第3図のaのように位相差0の近くに不感帯が現われ、PLL制御が不安定となる欠点があつた。

## (問題点を解決するための手段)

本発明は2つの信号到来検出出力を何れも十分飽和させた後リセットさせ、2つの信号が到来したことを検出したリセット信号を、2つの信号到来検出出力何れにもゲート合成しないことにより、位相差0の近くの不感帯をなくし、更に、位相差に対する検出のリニアリティを改善するようにしたのである。以下本発明の実施例を図面により詳細に説明する。

## (実施例)

第1図は本発明の一実施例で1, 2, 3, 4, 5, 6, 7, 8及び9はNANDゲートで、10は遅延回路、R<sub>1</sub>及びV<sub>1</sub>は入力信号、U<sub>1</sub>及びD<sub>1</sub>は位相検波出力である。

25 NANDゲート1, 2, 3及び4で信号検出回路11を構成し、NANDゲート5, 6, 7及び8でもう1つの信号検出回路12を構成し、更に、NANDゲート9及び遅延回路10でリセット回路13を構成している。

入力信号  $R_1$  が H レベルのときに NAND ゲート 1 の出力は L レベルとなり、従つて、NAND ゲート 3 及び 4 により構成された SR フリップフロップの動作により NAND ゲート 3 の出力は H レベルになり、NAND ゲート 2 の出力  $U_1$  は H レベルとなる。

次に、入力信号  $R_1$  が L レベルとなると、NAND ゲート 1 及び 3 の出力は共に H レベルとなることで信号を検出する。また、このとき NAND ゲート 2 の出力  $U_1$  は L レベルに変わる。

同様に、入力信号  $V_1$  が H レベルから L レベルに変化すると NAND ゲート 6 及び 7 の出力は共に H レベルとなることで信号を検出する。また、このとき NAND ゲート 8 の出力  $D_1$  は L レベルに変わる。

2 つの L 信号が到来したことで、NAND ゲート 1, 3, 6 及び 7 の出力が共に H レベルとなることから、リセット回路 13 の NAND ゲート 9 の出力は L レベルに変わり、これを遅延回路 10 で遅延させて信号検出回路 11, 12 の共通リセット端子 A を経て NAND ゲート 4 及び 5 に加えることでリセット動作させる。

リセット動作により NAND ゲート 3 及び 6 の出力を L レベルとし、従つてリセット動作は解除され、また、NAND ゲート 2 及び 8 の出力  $U_1$  及び  $D_1$  は共に H レベルに戻る。

リセット信号の遅延には、バッファ回路を多段

に接続するか或は R, C (抵抗コンデンサ) による遅延回路を用いる。

このように構成することにより、第 3 図の b のように不感帯のないリニアリティの良い位相検波特性が得られる。

第 2 図 b は入力信号  $R_1$  が入力信号  $V_1$  より僅かに早く到来した場合の位相検波出力  $U_1$  及び  $D_1$  の波形、リセット検出の NAND ゲート 9 の出力波形及び遅延後のリセット信号波形を現わしたものである。又同時到来の場合も示してあり、その場合も出力信号  $U_1$ ,  $D_1$  は実線の如く出力する。

第 4 図は本発明の他の実施例で、第 1 図回路に対し、リセット信号を NOR ゲートで作り出したものである。個別の動作は周知であるので説明は

15 略す。

#### (発明の効果)

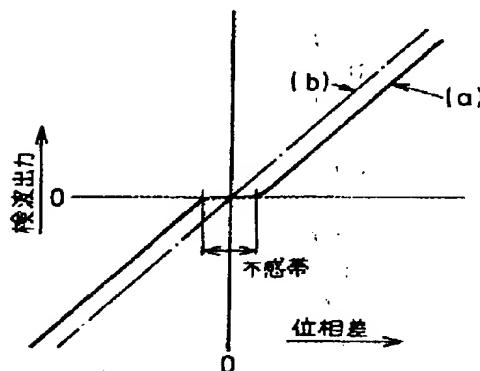
以上説明したように、本発明によれば不感帯のない、リニアリティの良い位相検波特性が得られるため、安定な PLL 制御が可能となる。

20 図面の簡単な説明

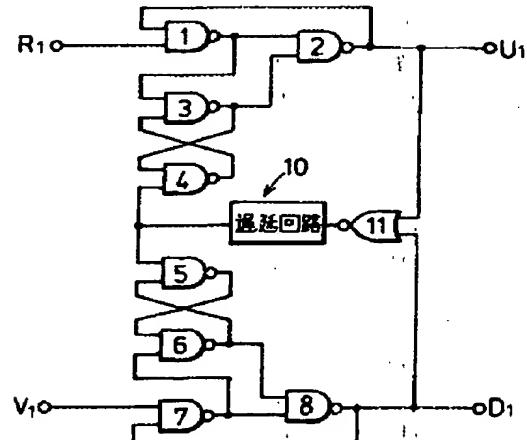
第 1 図は本発明の一実施例を示す回路図、第 2 図は各部の波形説明図、第 3 図は検波出力特性説明図、第 4 図は他の実施例、第 5 図は従来の回路図である。

25 10 ……遅延回路、11, 12 ……信号検出回路、13 ……リセット回路。

第 3 図

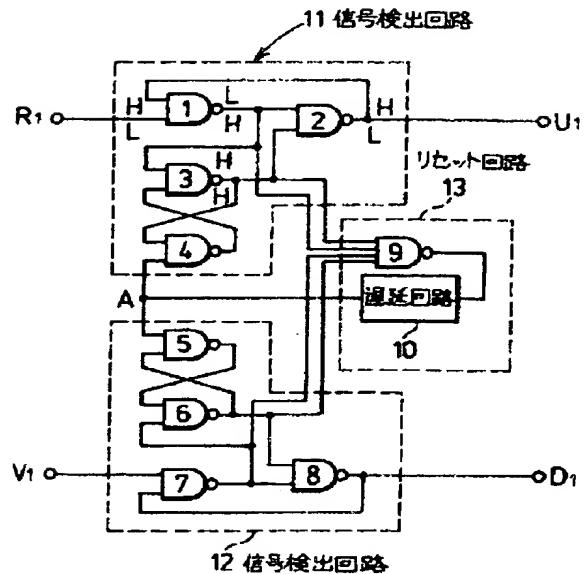


第 4 図



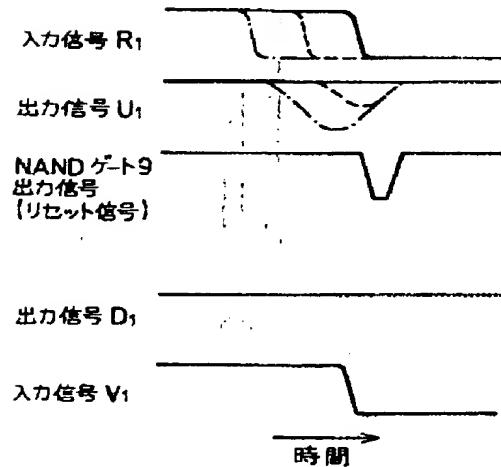
第1図

1~9 NANDゲート



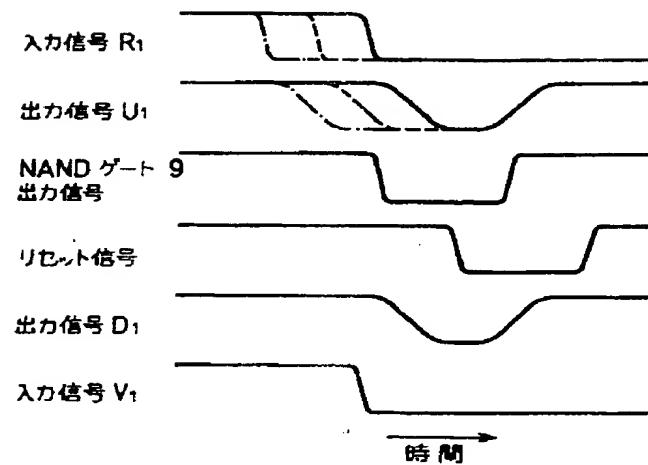
第2図

(a)



第2図

(b)



第5図

